**7.1 GPMC**

**7.1.1 Введение**

Контроллер памяти общего назначения (GPMC) - это унифицированный контроллер памяти, предназначенный для взаимодействия с внешними устройствами памяти:

- Асинхронная SRAM-подобная память и устройства интегральных схем специального назначения (ASIC).

- Асинхронные, синхронные и страничные (только в немультиплексированном режиме) разрывные NOR-флэш устройства

- Флэш-память NAND

- Устройства псевдо-SRAM

**7.1.1.1 Характеристики GPMC**

Общие характеристики модуля GPMC включают:

- Тракт данных к внешнему запоминающему устройству может быть 16- или 8-битной ширины.

- 32-битное ядро, совместимое с OCPIP 2.0, один ведомый интерфейс. Поддержка необертывающих и обертывающих серий до до 16x32 бит.

- Тактовая частота внешней памяти до 100 МГц (одно устройство).

- Поддержка следующих типов памяти:

- Внешняя асинхронная или синхронная память или устройство шириной 8 бит (не серийное устройство)

- Внешняя асинхронная или синхронная память или устройство шириной 16 бит

- Внешнее 16-битное немультиплексированное устройство NOR Flash

- Внешнее 16-битное мультиплексированное устройство NOR Flash с адресом и данными

- Внешнее 8- и 16-разрядное устройство флэш-памяти NAND

- Внешнее 16-разрядное устройство pSRAM

- Поддержка до 16-разрядной ECC для NAND-флэш с использованием BCH-кода (t=4, 8 или 16) или кода Хэмминга для 8- или 16-битной NAND-флэш, организованной с размером страницы 512 байт, 1К байт или более.

- Поддержка максимальной адресации 512 Мбайт, которая может быть разделена на семь независимых chip-select’ов с программируемым размером банка и базовым адресом на границе 16, 32, 64 или 128 Мбайт.

- Полностью конвейерная работа для оптимального использования пропускной способности памяти

- Поддержка тактовой частоты внешнего устройства с делителем на 1, 2, 3 и 4 от тактовой частоты L3.

- Поддержка программируемой автоматической регулировки тактовой частоты при отсутствии доступа.

- Поддержка протокола Midlereq/SidleAck

- Поддержка следующих интерфейсных протоколов при взаимодействии с внешней памятью или внешними устройствами.

- Асинхронный доступ для чтения/записи

- Асинхронный доступ к страницам чтения (4-8-16 Word16)

- Синхронный доступ для чтения/записи

- Синхронный пакетный доступ без возможности обертывания (4-8-16 Word16)

- Синхронный доступ к серии чтения с возможностью обертывания (4-8-16 Word16)

- Мультиплексированный доступ к адресам и данным

- Каждый chip-select имеет независимые и программируемые временные параметры управляющих сигналов для Setup и Hold time. Параметры устанавливаются в соответствии с временными параметрами устройства памяти, с точностью до одного такта L3.

- Гибкое управление внутренним временем доступа (состояние ожидания) и гибкий режим квитирования с использованием внешних контактов WAIT (до двух выводов WAIT).

- Поддержка удержания шины

- Поддержка разворота шины

- Механизм предварительной выборки и записи, связанный с системным DMA, позволяет получить полную производительность от устройства NAND с минимальным влиянием на одновременный доступ к NOR/SRAM.

- Вычисление кода Хэмминга ECC на лету для повышения надежности использования NAND с минимальным воздействием на ПО

**7.1.1.2 Блок-диаграмма**

GPMC может обращаться к различным внешним устройствам через медленное соединение L3. Гибкая модель программирования позволяет использовать широкий спектр типов подключаемых устройств и схем доступа. На основе запрограммированных битовых полей конфигурации, хранящихся в регистрах GPMC, GPMC способен генерировать все управляющие сигналы в зависимости от подключенного устройства и типа доступа. Учитывая декодирование выбора микросхемы и связанных с ним конфигурационных регистров, GPMC выбирает соответствующий тип таймингf управляющих сигналов устройства.

На рисунке 7-1 показана функциональная блок-схема GPMC. GPMC состоит из шести блоков:

- Интерфейс порта межсоединения

- Декодер адреса, конфигурация GPMC и файл регистров конфигурации выбора микросхемы

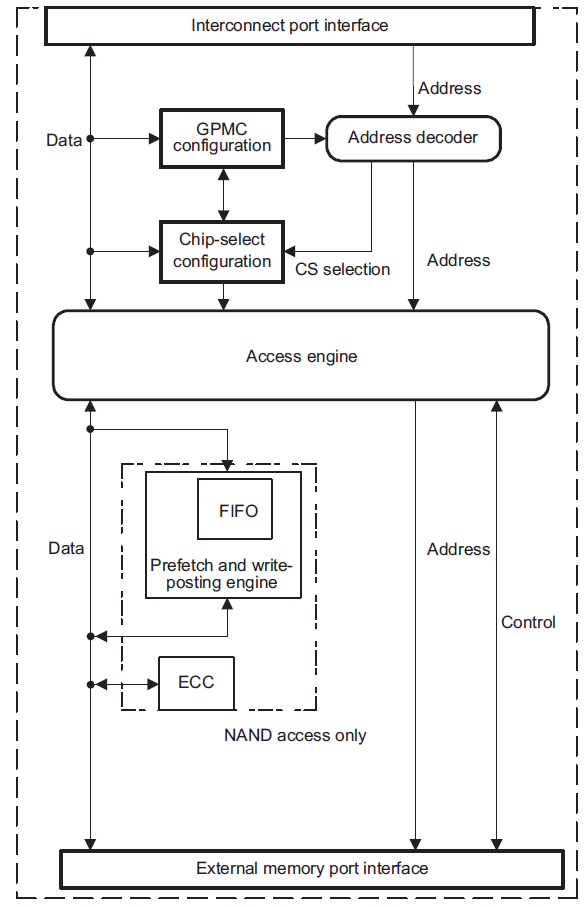
- механизм доступа

- Механизм предварительной выборки и записи

- Механизм кодов коррекции ошибок (ECC)

- Интерфейс порта внешнего устройства/памяти

**Рисунок 7-1. Блок-схема GPMC**



**7.1.1.3 Неподдерживаемые функции GPMC**

Следующие функции модуля не поддерживаются в данном устройстве.

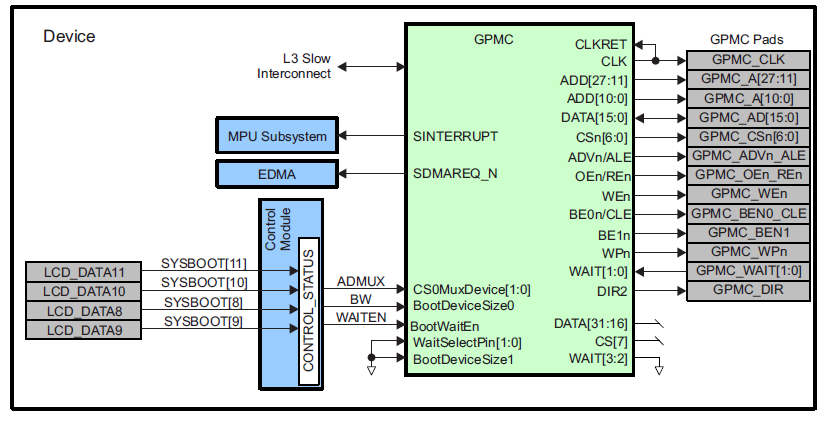
**Таблица 7-1. Неподдерживаемые функции GPMC**

|  |  |
| --- | --- |
| **Feature** | **Reason** |
| Chip Select 7 | Не выведен вывод |
| 32-bit devices | Только 16 линий данных, выведенных наружу |
| WAIT[3:2] | Не выведено. Все регионы CS должны использовать WAIT0 или WAIT1 |

**7.1.2 Интеграция**

Инстанция GPMC предоставляет этому устройству доступ к NAND Flash, NOR Flash и другим асинхронным и синхронным интерфейсным периферийным устройствам. На рисунке 7-2 показана интеграция модуля GPMC в данное устройство.

**Рисунок 7-2. Интеграция GPMC**



**7.1.2.1 Атрибуты подключения GPMC**

Общие атрибуты подключения для модуля GPMC приведены в таблице 7-2.

**Таблица 7-2. Атрибуты подключения GPMC**

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power Domain | Peripheral Domain |
| Clock Domain | PD\_PER\_L3S\_GCLK |
| Reset Signals | PER\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle |
| Interrupt Requests | 1 interrupt to MPU Subsystem (GPMCINT) |
| DMA Requests | 1 DMA request to EDMA (GPMCEVT) |
| Physical Address | L3 Slow Slave Port  Memory and control register regions qualified with  MAddressSpace bit |

**7.1.2.2 Управление синхронизацией и сбросом GPMC**

GPMC представляет собой синхронную конструкцию и работает от того же тактовогогенератора, что и Slow L3. Все тайминги используют эти источники тактирования в качестве опорных.

**Таблица 7-3. Сигналы синхронизации GPMC**

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Max Freq** | **Reference / Source** | **Comments** |
| prcm\_gpmc\_clk  Interface / Functional clock | 100 MHz | CORE\_CLKOUTM4 / 2 | pd\_per\_l3s\_gclk  From PRCM |

**7.1.2.3 Список сигналов GPMC**

Сигналы внешнего интерфейса GPMC приведены в таблице 7-4.

**Таблица 7-4. Список сигналов GPMC**

|  |  |  |
| --- | --- | --- |
| **Signal** | **Type** | **Description** |
| GPMC\_A[27:0] | O | Адресные выходы |
| GPMC\_AD[15:0] | I/O | Data[15:0] в режиме без микширования.  A[16:1], D[15:0] в режиме AD-muxed.  A[27:17], A[16:1], D[15:0] в режиме AAD-muxed. |
| GPMC\_CSn[6:0] | O | Chip-select (активный низкий уровень) |
| GPMC\_CLK | O(1) | Сигнал синхронного тактирования |
| GPMC\_ADVn\_ALE | O | Address Valid или Address Latch Enable  в зависимости от того, выбран ли протокол NOR или NAND  памяти. |
| GPMC\_OEn\_REn | O | Разрешение выхода (активный низкий уровень). Также используется как  Разрешение чтения (активный низкий уровень) для памяти по протоколу NAND |
| GPMC\_WEn | O | Разрешение записи (активный низкий уровень) |
| GPMC\_BE0n\_CLE | O | Разрешение младшего байта (активный низкий уровень). Также используется  как Command Latch Enable для памяти  по протоколу NAND |
| GPMC\_BE1n | O | Разрешение верхнего байта (активный низкий уровень) |
| GPMC\_WPn | O | Защита от записи (активный низкий уровень) |
| GPMC\_WAIT[1:0] | I | Внешний сигнал ожидания для памяти протоколов NOR и NAND. |
| GPMC\_DIR | O | GPMC.D[15:0] управление направлением сигнала  Низкий уровень во время передачи (для доступа на запись: данные  OUT из GPMC в память)  Высокий уровень во время приема (для доступа на чтение: данные  IN из памяти в GPMC) |

*(1) Эти сигналы также используются в качестве входов для повторной синхронизации или синхронизации данных. Соответствующий бит CONF\_<модуль>\_<контакт>\_RXACTIVE для этих сигналов должен быть установлен в 1, чтобы включить обратный вход в модуль. Также рекомендуется установить последовательно 33-омный резистор(рядом с процессором) на каждый из этих сигналов, чтобы избежать отражения сигнала*.

**7.1.2.1 Сигналы GPMC**

В таблице 7-5 показано использование выводов адреса и данных контроллера GPMC в зависимости от типа внешнего устройства.

**Таблица 7-5. Варианты мультиплексирования выводов GPMC**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **GPMC Signal** | **Non Multiplexed**  **Address Data 16-**  **Bit Device(1)** | **Non Multiplexed**  **Address Data 8-Bit**  **Device** | **Multiplexed**  **Address Data 16-**  **Bit Device(1)** | **16-Bit NAND**  **Device** | **8-Bit NAND Device** |
| GPMC\_A[27] | A26 | A27 |  | Not Used | Not Used |
| GPMC\_A[26] | A25 | A26 | Not Used | Not Used | Not Used |
| GPMC\_A[25] | A24 | A25 | Not Used | Not Used | Not Used |
| GPMC\_A[24] | A23 | A24 | Not Used | Not Used | Not Used |
| GPMC\_A[23] | A22 | A23 | Not Used | Not Used | Not Used |
| GPMC\_A[22] | A21 | A22 | Not Used | Not Used | Not Used |
| GPMC\_A[21] | A20 | A21 | Not Used | Not Used | Not Used |
| GPMC\_A[20] | A19 | A20 | Not Used | Not Used | Not Used |
| GPMC\_A[19] | A18 | A19 | Not Used | Not Used | Not Used |
| GPMC\_A[18] | A17 | A18 | Not Used | Not Used | Not Used |
| GPMC\_A[17] | A16 | A17 | Not Used | Not Used | Not Used |
| GPMC\_A[16] | A15 | A16 | Not Used | Not Used | Not Used |
| GPMC\_A[15] | A14 | A15 | Not Used | Not Used | Not Used |
| GPMC\_A[14] | A13 | A14 | Not Used | Not Used | Not Used |
| GPMC\_A[13] | A12 | A13 | Not Used | Not Used | Not Used |
| GPMC\_A[12] | A11 | A12 | Not Used | Not Used | Not Used |
| GPMC\_A[11] | A10 | A11 | Not Used | Not Used | Not Used |
| GPMC\_A[10] | A9 | A10 | A25 | Not Used | Not Used |
| GPMC\_A[9] | A8 | A9 | A24 | Not Used | Not Used |
| GPMC\_A[8] | A7 | A8 | A23 | Not Used | Not Used |
| GPMC\_A[7] | A6 | A7 | A22 | Not Used | Not Used |
| GPMC\_A[6] | A5 | A6 | A21 | Not Used | Not Used |
| GPMC\_A[5] | A4 | A5 | A20 | Not Used | Not Used |
| GPMC\_A[4] | A3 | A4 | A19 | Not Used | Not Used |
| GPMC\_A[3] | A2 | A3 | A18 | Not Used | Not Used |
| GPMC\_A[2] | A1 | A2 | A17 | Not Used | Not Used |
| GPMC\_A[1] | A0 | A1 | A16 | Not Used | Not Used |
| GPMC\_A[0] | Not Used | A0 | Not Used | Not Used | Not Used |
| GPMC\_AD[15] | D15 | Not Used | A/D[15] | D15 | Not Used |
| GPMC\_AD[14] | D14 | Not Used | A/D[14] | D14 | Not Used |
| GPMC\_AD[13] | D13 | Not Used | A/D[13] | D13 | Not Used |
| GPMC\_AD[12] | D12 | Not Used | A/D[12] | D12 | Not Used |
| GPMC\_AD[11] | D11 | Not Used | A/D[11] | D11 | Not Used |
| GPMC\_AD[10] | D10 | Not Used | A/D[10] | D10 | Not Used |
| GPMC\_AD[9] | D9 | Not Used | A/D[9] | D9 | Not Used |
| GPMC\_AD[8] | D8 | Not Used | A/D[8] | D8 | Not Used |
| GPMC\_AD[7] | D7 | D7 | A/D[7] | D7 | D7 |
| GPMC\_AD[6] | D6 | D6 | A/D[6] | D6 | D6 |

1. *Значения в этом столбце соответствуют сигналам памяти. Имейте в виду, что некоторые 16-разрядные памяти могут маркировать адресные линии по-разному. В одних LSB обозначается как A0, в других для LSB используется A1. В этих столбцах предполагается, что LSB - это A0.*

**Таблица 7-5. Варианты мультиплексирования выводов GPMC (продолжение)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **GPMC Signal** | **Non Multiplexed**  **Address Data 16-**  **Bit Device(1)** | **Non Multiplexed**  **Address Data 8-Bit**  **Device** | **Multiplexed**  **Address Data 16-**  **Bit Device(1)** | **16-Bit NAND**  **Device** | **8-Bit NAND Device** |
| GPMC\_AD[5] | D5 | D5 | A/D[5] | D5 | D5 |
| GPMC\_AD[4] | D4 | D4 | A/D[4] | D4 | D4 |
| GPMC\_AD[3] | D3 | D3 | A/D[3] | D3 | D3 |
| GPMC\_AD[2] | D2 | D2 | A/D[2] | D2 | D2 |
| GPMC\_AD[1] | D1 | D1 | A/D[1] | D1 | D1 |
| GPMC\_AD[0] | D0 | D0 | A/D[0] | D0 | D0 |
| GPMC\_CS[0]n | CS0n (Chip Select) | CS0n (Chip Select) | CS0n (Chip Select) | CE0n (Chip Enable) | CE0n (Chip Enable) |
| GPMC\_CS[1]n | CS1n | CS1n | CS1n | CE1n | CE1n |
| GPMC\_CS[2]n | CS2n | CS2n | CS2n | CE2n | CE2n |
| GPMC\_CS[3]n | CS3n | CS3n | CS3n | CE3n | CE3n |
| GPMC\_CS[4]n | CS4n | CS4n | CS4n | CE4n | CE4n |
| GPMC\_CS[5]n | CS5n | CS5n | CS5n | CE5n | CE5n |
| GPMC\_CS[6]n | CS6n | CS6n | CS6n | CE6n | CE6n |
| GPMC\_ADVn\_ALE | ADVn (Address  Value) | ADVn (Address  Value) | ADVn (Address  Value) | ALE (address latch  enable) | ALE (address latch  enable) |
| GPMC\_BE0n\_CLE | BE0n (Byte Enable) | BE0n (Byte Enable) | BE0n (Byte Enable) | CLE (command  latch enable) | CLE (command  latch enable) |
| GPMC\_BE1n | BE1n | BE1n | BE1n |  |  |
| GPMC\_CLK | CLK | CLK | CLK |  |  |
| GPMC\_OE\_REn | OEn (Output  Enable) | OEn (Output  Enable) | OEn (Output  Enable) | REn (read enable) | REn (read enable) |
| GPMC\_WAIT0 | WAIT0 | WAIT0 | WAIT0 | R/B0n (ready/busy) | R/B0n (ready/busy) |
| GPMC\_WAIT1 | WAIT1 | WAIT1 | WAIT1 | R/B1n (ready/busy) | R/B1n (ready/busy) |
| GPMC\_WEn | WEn (Write Enable) | WEn (Write Enable) | WEn (Write Enable) | WEn (write enable) | WEn (write enable) |
| GPMC\_WPn | WPn (Write Protect) | WPn (Write Protect) | WPn (Write Protect) | WPn (write protect) | WPn (write protect) |

При использовании всех типов устройств GPMC не задействует лишние адресные линии. Они остаются в своем сброшенном значении 00.

Адресное отображение поддерживает мультиплексированные по адресу/данным устройства шириной 16 бит:

- Контроллер флэш-памяти NOR по-прежнему поддерживает устройства памяти с немультиплексированными адресами и данными.

- Режим мультиплексирования может быть выбран через битовое поле GPMC\_CONFIG1\_i[9-8] MUXADDDATA.

- Режим асинхронной страницы не поддерживается для устройств с мультиплексированными адресами и данными.

**7.1.2.2 Режимы GPMC**

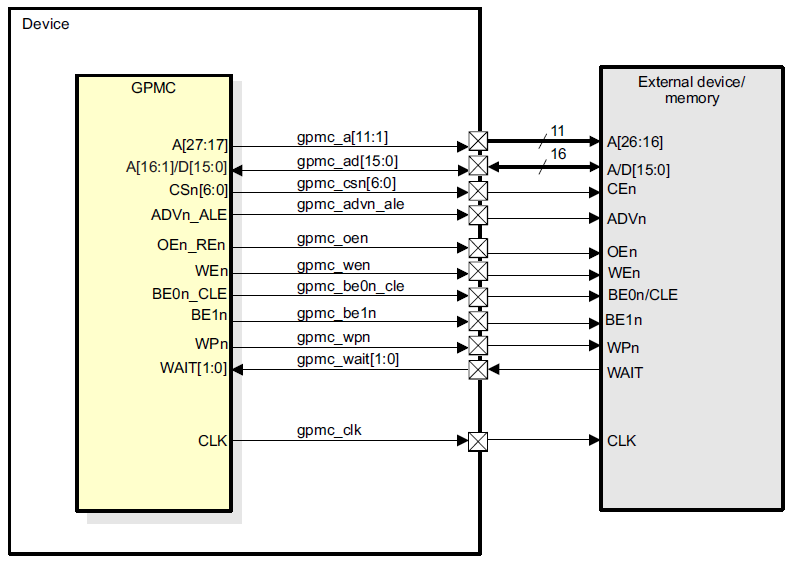
В этом разделе показаны три варианта внешних соединений GPMC:

- На рисунке 7-3 показано соединение между GPMC и 16-битным синхронным мультиплексированным устройством адреса/данных (или AAD-мультиплексированным, но этот протокол использует меньше адресных выводов) внешним запоминающим устройством.

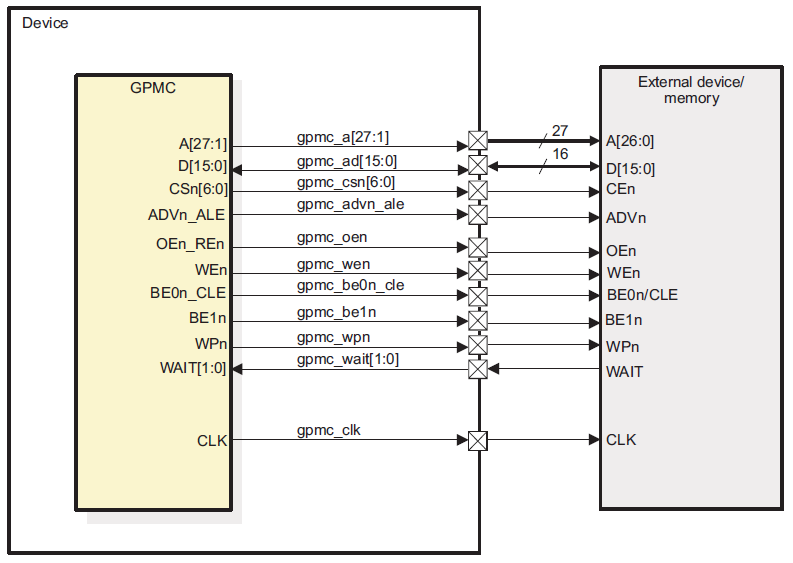
- На рисунке 7-4 показано соединение между GPMC и 16-битным синхронным внешним устройством памяти без мультиплексирования.

- На рисунке 7-5 показано соединение между GPMC и 8-битным устройством NAND.

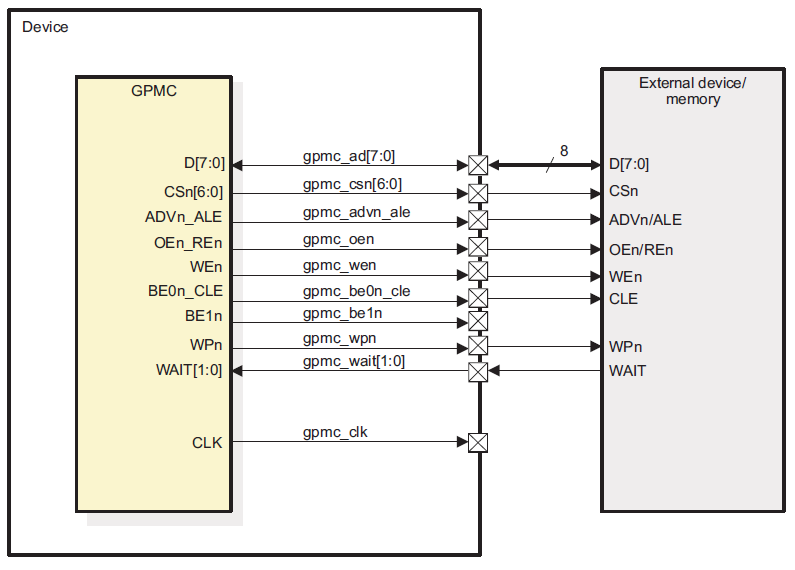
**Рисунок 7-3. GPMC с 16-разрядной памятью с мультиплексированием адреса/данных**



**Рисунок 7-4. GPMC в 16-разрядную немультиплексированную память**



**Рисунок 7-5. GPMC к 8-разрядному устройству NAND**



**7.1.2.3 Функциональное описание GPMC**

Базовая модель программирования GPMC обеспечивает максимальную гибкость для поддержки различных протоколов доступа для каждого из восьми конфигурируемых чип-селектов. Используйте оптимальные настройки селектора микросхем, основанные на характеристиках внешнего устройства:

- Можно выбрать различные протоколы для поддержки типовых асинхронных или синхронных устройств с произвольным доступомв (флэш-память NOR, SRAM) или для поддержки конкретных устройств NAND.

- Шина адреса и шина данных могут быть мультиплексированы на одной внешней шине.

- Доступ к чтению и записи может быть независимо определен как асинхронный или синхронный.

- Системные запросы (байт, 16-битное слово, пакет) выполняются через одиночный или множественный доступ. Профили внешнего доступа (одиночный, множественный с оптимизированной длиной серии, native- или emulated-wrap) основаны на характеристиках внешнего устройства (поддерживаемый протокол, ширина шины, размер буфера данных, поддержка «родной» обмотки).

- Системные запросы на серийное чтение или запись являются синхронно-разрывными (многократное чтение или многократная запись). Когда внешняя память или ASIC-устройства не поддерживают ни пакетный, ни страничный режим, системные запросы на пакетное чтение или запросы на запись преобразуются в последовательные одиночные синхронные или асинхронные доступы (одиночное чтение или одиночная запись).Устройства шириной 8 бит поддерживаются только в одиночном синхронном или одиночном асинхронном режиме чтения или записи.

- Для имитации программируемого состояния внутреннего ожидания можно контролировать внешний вывод ожидания, для динамического управления внешним доступом в начале (начальное время доступа) и во время пакетного доступа.

Каждый управляющий сигнал управляется независимо для каждого чип-селекта. Внутренний функциональный тактовый генератор GPMC (GPMC\_FCLK) используется в качестве временной привязки для определения следующих параметров:

- Длительность доступа для чтения и записи.

- Время утверждения и отмены большинства управляющих сигналов внешнего интерфейса GPMC

- Время захвата данных при доступе на чтение

- Время контроля внешнего контакта ожидания

- Продолжительность времени простоя между обращениями, если требуется

**7.1.2.3.1 Конфигурация тактирования GPMC**

В таблице 7-6 описано тактирование GPMC.

**Таблица 7-6. Тактирование GPMC**

|  |  |  |
| --- | --- | --- |
| **Signal** | **I/O** | **Description** |
| GPMC\_FCLK | I | Functional and interface clock |
| GPMC\_CLK | O | External clock provided to synchronous external memory devices |

GPMC\_CLK генерируется GPMC на основе внутреннего тактового генератора GPMC\_FCLK. Источник GPMC\_FCLK описан в таблице 7-3. GPMC\_CLK конфигурируется с помощью параметра GPMC\_CONFIG1\_i[1-0] GPMCFCLKDIVIDER (для i = 0 - 3), как показано в таблице 7-7.

**Таблица 7-7. Конфигурация GPMC\_CONFIG1\_i**

|  |  |  |
| --- | --- | --- |
| **Source Clock** | **GPMC\_CONFIG1\_i[1-0]**  **GPMCFCLKDIVIDER** | **GPMC\_CLK Generated Clock**  **Provided to External Memory Device** |
| GPMC\_FCLK | 00 | GPMC\_FCLK |
| 01 | GPMC\_FCLK/2 |
| 10 | GPMC\_FCLK/3 |
| 11 | GPMC\_FCLK/4 |

**7.1.2.3.2 Программный сброс GPMC**

GPMC может быть сброшен программно с помощью бита GPMC\_SYSCONFIG[1] SOFTRESET. Установка бита в 1 включает активный программный сброс, который функционально эквивалентен аппаратному сбросу. Аппаратный и программный сброс инициализируют все регистры GPMC и конечную машину состояний (FSM) немедленно и безусловно. Бит GPMC\_SYSSTATUS[0] RESETDONE указывает, что программный сброс завершен.

Программное обеспечение должно убедиться, что программный сброс завершен, прежде чем выполнять операции с GPMC.

**7.1.2.3.3 Управление питанием GPMC**

Питание GPMC осуществляется от домена питания CORE, а управление питанием GPMC соответствует системным рекомендациям по управлению питанием. В таблице 7-8 описаны функции управления питанием, доступные для модуля GPMC.

**Таблица 7-8. Функции локального управления питанием GPMC**

|  |  |  |
| --- | --- | --- |
| **Feature** | **Registers** | **Description** |
| Clock Auto Gating | GPMC\_SYSCONFIG[0]  AUTOIDLE] bit | Этот бит позволяет локально оптимизировать энергопотребление внутри модуля за счет управления тактовым генератором GPMC\_FCLK в зависимости от внутренней активности. |
| Slave Idle Modes | GPMC\_SYSCONFIG[4-3]  SIDLEMODE bit field | Доступны режимы принудительного отключения, отключения и интеллектуального отключения |
| Clock Activity | N/A | Функция недоступна |
| Master Standby Modes | N/A | Функция недоступна |
| Global Wake-up Enable | N/A | Функция недоступна |
| Wake-up Sources Enable | N/A | Функция недоступна |

**7.1.2.3.4 Запросы прерываний GPMC**

GPMC генерирует одно событие прерывания, как показано на рисунке 7-2.

- Запрос прерывания поступает от GPMC (GPMC\_IRQ) к подсистеме MPU: A\_IRQ\_100

В таблице 7-9 перечислены флаги событий и их маски, которые могут вызывать прерывания модуля.

**Таблица 7-9. События прерываний GPMC**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Event Flag** | **Event Mask** | **Sensitivity** | **Map to** | **Description** |
| GPMC\_IRQSTATUS[9]  WAIT1EDGEDETECTIO  NSTATUS | GPMC\_IRQENABLE[9]  WAIT1EDGEDETECTIO  NENABLE | Edge | A\_IRQ\_100 | Прерывание обнаружения фронта сигнала Wait1: Срабатывает при обнаружении нарастающего или спадающего  фронта сигнала GPMC\_WAIT1. Восходящий или спадающий фронт сигнала Wait1 выбирается с помощью бита GPMC\_CONFIG[9] WAIT1PINPOLARITY. |
| GPMC\_IRQSTATUS[8]  WAIT0EDGEDETECTIO  NSTATUS | GPMC\_IRQENABLE[8]  WAIT0EDGEDETECTIO  NENABLE | Edge | A\_IRQ\_100 | Прерывание обнаружения фронта сигнала Wait0: Срабатывает при обнаружении нарастающего или спадающего  фронта сигнала GPMC\_WAIT0. Восходящий или спадающий фронт сигнала Wait0 выбирается с помощью бита  GPMC\_CONFIG[8] WAIT0PINPOLARITY. |
| GPMC\_IRQSTATUS[1]  TERMINALCOUNTSTAT  US | GPMC\_IRQENABLE[1]  TERMINALCOUNTENA  BLE | Level | A\_IRQ\_100 | Событие подсчета терминалов: Срабатывает при завершении процесса предварительной выборки, то есть когда количество оставшихся на данный момент  данных, которые должны быть запрошены, достигает 0. |
| GPMC\_IRQSTATUS[0]  FIFOEVENTSTATUS | GPMC\_IRQENABLE[0]  FIFOEVENTENABLE | Level | A\_IRQ\_100 | Прерывание по событию FIFO: Указывает на доступность уровней FIFO в  режиме записи-постинга и режиме предварительной выборки.  Бит GPMC\_PREFETCH\_CONFIG[2] DMAMODE должен быть  очищен до 0. |

**7.1.2.3.5 Запросы DMA от GPMC**

GPMC генерирует одно событие DMA от GPMC (GPMC\_DMA\_REQ) к eDMA: e\_DMA\_53

**7.1.2.3.6 Интерфейс медленного соединения L3**

Интерфейс медленного соединения L3 GPMC представляет собой конвейерный интерфейс, включающий буфер записи 16 × 32-битных слов.Любой системный хост может выдавать внешние запросы доступа через GPMC. Система устройства может выдавать следующие запросы через этот интерфейс:

- Один 8-битный / 16-битный / 32-битный доступ к межсоединению (чтение/запись)

- Два инкрементных 32-битных доступа к межсоединениям (чтение/запись)

- Два обернутых доступа к 32-битным межсоединениям (чтение/запись)

- Четыре инкрементных доступа к 32-разрядным межсоединениям (чтение/запись)

- Четыре обернутых доступа к 32-разрядным межсоединениям (чтение/запись)

- Восемь инкрементных 32-разрядных межсоединений (чтение/запись)

- Восемь обернутых доступов к 32-разрядным межсоединениям (чтение/запись)

Поддерживаются только линейные пакетные транзакции; чередующиеся пакетные транзакции не поддерживаются. Только два в степени двойной длины 2 × 32, 4 × 32, 8 × 32 или 16 × 32 с базовым адресом серии, выровненным по адресу(это ограничение относится только к инкрементным сериям).

Этот интерфейс также предоставляет одно прерывание и одну линию запроса DMA для управления конкретным событием. Рекомендуется программировать поле GPMC\_CONFIG1\_i ATTACHEDDEVICEPAGELENGTH ([24-23]) в соответствии с эффективной длиной страницы подключенного устройства и включить бит GPMC\_CONFIG1\_i WRAPBURST ([31]), если подключенное устройство поддерживает последовательное обертывание. Однако можно эмулировать обертывание в памяти, которая не поддерживает обертывание, путем предоставления соответствующих адресов в пределах страницы или разделения транзакций. Очереди, длина которых превышает длину страницы памяти, разбиваются на несколько очередей. Из-за требований выравнивания граница страницы никогда не пересекается.

**7.1.2.3.7 Шина адреса и данных GPMC**

Текущее приложение поддерживает подключение GPMC к устройствам NAND и к мультиплексированным по адресу/данным памяти или устройствам. Подключение к памяти с немультиплексированными адресами/данными в зависимости от конфигурации GPMC каждого чип-селектора, линии шины адреса и данных, которые не требуются для конкретного протокола доступа не обновляются (изменяются по сравнению с текущим значением) и не дискретизируются при вводе (входная шина данных).

- Для NOR-устройств с мультиплексированием адреса/данных и AAD-мультиплексированием адрес мультиплексируется на шину данных.

- Устройства NOR шириной 8 бит не используют вход/выход GPMC: GPMC\_AD[15-8] для данных (они используются для адреса, при необходимости).

- Устройства NAND шириной 16 бит не используют GPMC I/O: GPMC\_A[27-0].

- Устройства NAND шириной 8 бит не используют вход/выход GPMC: GPMC\_A[27-0] и GPMC I/O: GPMC\_AD[15-8].

**7.1.2.3.7.1 Настройка конфигурации входов/выходов GPMC**

*ПРИМЕЧАНИЕ: В этом и следующих разделах символ i в GPMC\_CONFIGx\_i означает чип-селект GPMC.i, где i = от 0 до 6.*

Чтобы выбрать устройство NAND, запрограммируйте следующие поля регистра:

- GPMC\_CONFIG1\_i[11-10] поле DEVICETYPE = 10b

- GPMC\_CONFIG1\_i[9-8] бит MUXADDDATA = 00

Чтобы выбрать устройство с мультиплексированием адреса/данных, запрограммируйте следующие поля регистра:

- GPMC\_CONFIG1\_i[11-10] Поле DEVICETYPE = 00

- GPMC\_CONFIG1\_i[9-8] бит MUXADDDATA = 10b

Чтобы выбрать устройство с мультиплексированием адреса/адреса/данных, запрограммируйте следующие поля регистра:

- GPMC\_CONFIG1\_i[11-10] Поле DEVICETYPE = 00

- GPMC\_CONFIG1\_i[9-8] бит MUXADDDATA = 01b

Чтобы выбрать устройство с немультиплексированным адресом/данными, запрограммируйте следующие поля регистра:

- GPMC\_CONFIG1\_i[11-10] Поле DEVICETYPE = 00

- GPMC\_CONFIG1\_i[9-8] бит MUXADDDATA = 00

**7.1.2.3.8 Декодер адреса и конфигурация выбора микросхемы**

Декодирование адресов осуществляется в соответствии с запросом адреса чип-селектора и содержимым файла регистров базового адреса chip-select, который включает набор глобальных конфигурационных регистров GPMC и восемь наборов регистров конфигурации chip-select.

Файл регистров конфигурации GPMC размещается в памяти и может быть прочитан или записан с помощью байта, 16-битного слова, или 32-битного слова. Регистровый файл должен быть сконфигурирован как некэшируемая, небуферизуемая область для предотвращения десинхронизации между выполнением хоста (запрос записи) и завершением конфигурации регистра (запись завершена с обновлением регистра). Предоставляя расположение регистров GPMC. Карту ячеек памяти GPMC, см. таблицу 7-48.

После конфигурирования чип-селектора механизм доступа обращается к внешнему устройству, подает сигналы управления внешним интерфейсом и применяет протокол интерфейса на основе заданных пользователем временных параметров и настроек.

**7.1.2.3.8.1 Выбор базового адреса чипа и размера области**

Любая внешняя память или ASIC-устройство, подключенное к внешнему интерфейсу GPMC, может быть доступна любому системному хосту в пределах 512-Мбайт непрерывного адресного пространства GPMC. Более подробная информация приведена в таблице 7-48.

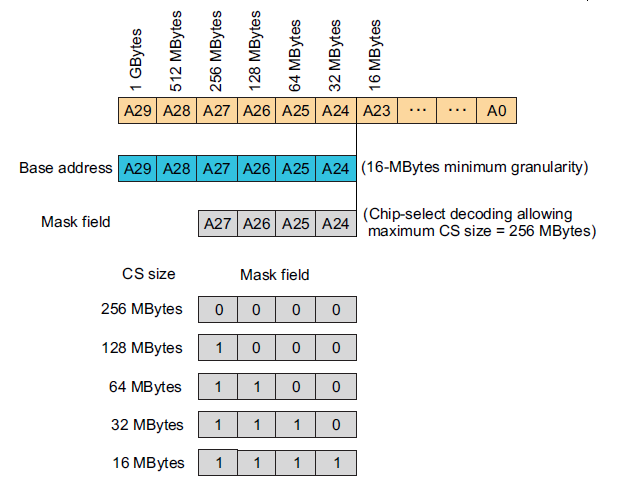
Адресное пространство GPMC 512 Мбайт может быть разделено максимум на семь областей выбора микросхем с программируемым базовым адресом и программируемым размером CS. Размер CS программируется в диапазоне от 16 Мбайт до 256 Мбайт (должен быть степенью 2) и определяется полем маски. Доступ к подключенной памяти, размер которой меньше , чем запрограммированный размер области CS, осуществляется через всю область CS (алиасинг).

Каждый чип-селект имеет 6-битное кодирование базового адреса и 4-битную маску декодирования, которые должны быть запрограммированы в соответствии со следующими правилами:

- Запрограммированный базовый адрес области chip-select должен быть выровнен по границе размера области chip-select и ограничивается значением адреса, равным 2. Во время декодирования доступа значение базового адреса регистра используется для сравнения адресов с отображением адресно-битовой линии, как описано на Рисунке 7-6 (с A0 в качестве системной байт-адресной линии устройства). Базовый адрес программируется с помощью команды GPMC\_CONFIG7\_i[5-0] битовое поле BASEADDRESS.

- Маска регистра используется для исключения некоторых адресных линий из декодирования. Битовое поле маски регистра очищенное в 0, исключает соответствующую адресную строку из сравнения адресов (входящая адресная битовая строка не имеет значения). Значение маски регистра должно быть ограничено последующим значением, основанным на желаемом размере области выбора микросхемы. Любое другое значение приводит к неопределенному результату. Когда несколько областей выбора микросхем с перекрывающимися адресами включаются одновременно, доступ к этим регионам выбора микросхем отменяется, и выдается сообщение об ошибке доступа GPMC. Поле маски программируется с помощью команды GPMC\_CONFIG7\_i[11-8] битовое поле MASKADDRESS.

**Рисунок 7-6. Маски отображения и декодирования адресов выбора микросхем**



Значение маски 0010 или 1001 следует избегать, так как это приведет к образованию дыр в адресном пространстве чип-селектора.

Конфигурация чип-селекта (базовый адрес и адрес маски, а также любые настройки протокола и синхронизации) должна выполняться в то время, когда соответствующий чип-селект отключен через бит GPMC\_CONFIG7\_i[6] CSVALID. Кроме того, конфигурация чип-селекта может быть отключена только при отсутствии текущего доступа к этому чип-селекту. Это требует контроля активности механизма предварительной выборки или записи, если он активен на чип-селекте.

Также необходимо отслеживать состояние буфера записи, чтобы дождаться завершения записи на чип-селект. Любая попытка доступа к недействительной области адреса GPMC (отключен CSVALID или декодирование адреса за пределами допустимой области выбора микросхемы) не передается на внешний интерфейс и выдается ошибка доступа GPMC. В случае перекрытия чип-селектов генерируется ошибка, и доступ не будет осуществляться ни к одному из чип-селектов.

Чип-селект 0 - это единственный регион чип-селекта, который активируется после включения питания или сброса GPMC.Хотя интерфейс GPMC может управлять семью чип-селектами, частота, указанная для этого интерфейса рассчитана на определенную нагрузку. Если эта нагрузка превышена, максимальная частота не может быть достигнута. Одним из решений является реализовать плату с буферами, чтобы позволить самому медленному устройству поддерживать общую нагрузку на линии.

**7.1.2.3.8.2 Протокол доступа**

**7.1.2.3.8.2.1 Поддерживаемые устройства**

Протокол доступа каждого чип-селектора может быть независимо задан с помощью команды GPMC\_CONFIG1\_i[11-10] параметр DEVICETYPE для:

- синхронной или асинхронной памяти с произвольным доступом, такой как NOR flash, SRAM

- Асинхронные устройства флэш-памяти NAND

Для получения дополнительной информации о базовой модели программирования NAND flash GPMC и поддержке NAND см. Раздел 7.1.2.3.12 и Раздел 7.1.2.3.12.1.

**7.1.2.3.8.2.2 Адаптация размера доступа и ширины устройства**

Каждый чип-селект может быть независимо сконфигурирован через поле GPMC\_CONFIG1\_i[13-12] DEVICESIZE для взаимодействия с устройством шириной 16 бит или устройством шириной 8 бит. Системные запросы с шириной данных больше чем ширина шины данных внешнего устройства, разбиваются на последовательные доступы в соответствии с шириной шины данных внешнего устройства и организацией данных по младшему порядку.

Устройство шириной 8 бит должно быть подключено к шине внешнего интерфейса D0-D7. Доступ к данным GPMC используют эту шину только в том случае, если соответствующий чип-селект подключен к устройству шириной 8 бит.

Устройство шириной 8 бит может быть подключено в асинхронном или синхронном режиме в одной фазе данных (нет режима 8-

8-битное устройство не работает в серийном режиме). Если в конфигурационном регистре chip-select установлено устройство шириной 8 бит,

битовые поля ReadMultiple и WriteMultiple считаются «безразличными» и выполняются только одиночные доступы

выполняются.

С устройством шириной 16 бит можно взаимодействовать в асинхронном или синхронном режиме, с одной или несколькими фазами данных для доступа, и с

фаз данных для доступа, а также с поддержкой родного или эмулированного режима обертывания.

**7.1.2.3.8.2.3 Интерфейс мультиплексирования адреса/данных**

Для произвольного синхронного или асинхронного взаимодействия с памятью (DEVICETYPE = 0b00) может использоваться протокол мультиплексирования адресов и данных.Протокол мультиплексирования данных может быть выбран через битовое поле GPMC\_CONFIG1\_i[[9-8] MUXADDDATA.

Сигнал ADVn должен использоваться в качестве сигнала управления защелкой адреса внешнего устройства. Для соответствующей конфигурации чип-селекта, время утверждения и деассертации ADVn и время утверждения OEn должно быть установлено на соответствующее значение чтобы удовлетворить требования внешнего устройства по времени установки/удержания адресной защелки (см. Раздел 7.1.2).

Этот интерфейс мультиплексирования адреса/данных не применим для сопряжения с устройствами NAND. Устройства NAND требуют специального протокола мультиплексирования адресов, команд и данных (см. раздел 7.1.2.3.12).

**7.1.2.3.8.3 Внешние сигналы**

**7.1.2.3.8.3.1 Управление мониторингом вывода WAIT**

Время доступа GPMC может динамически контролироваться с помощью внешнего вывода gpmc\_wait, когда время доступа внешнего устройства не является детерминированным и не может быть определено и контролироваться только с помощью внутренних параметров GPMC RDACCESSTIME, WRACCESSTIME и PAGEBURSTACCESSTIME генератора состояния ожидания.

GPMC имеет два входных контакта ожидания: gpmc\_wait1 и gpmc\_wait0. Эти выводы позволяют управлять внешними устройствами с различной полярностью выводов ожидания. Они также позволяют перекрывать подачу сигналов ожидания от разных устройств, не влияя на доступ к устройствам, для которых пин ожидания не активирован.